

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re U.S. Patent Application of)
)
MINE et al.)
)
Application Number: To be Assigned)
)
Filed: Concurrently Herewith)
)
For: NONVOLATILE SEMICONDUCTOR MEMORY)
DEVICE)
)
ATTORNEY DOCKET NO. HITA.0490)

Honorable Assistant Commissioner
for Patents
Washington, D.C. 20231

**REQUEST FOR PRIORITY
UNDER 35 U.S.C. § 119
AND THE INTERNATIONAL CONVENTION**

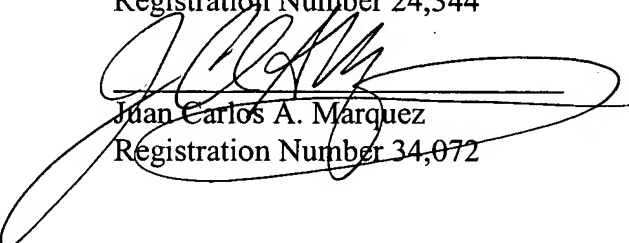
Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of January 31, 2003, the filing date of the corresponding Japanese patent application 2003-023690.

A certified copy of Japanese patent application 2003-023690, is being submitted herewith. Acknowledgment of receipt of the certified copy is respectfully requested in due course.

Respectfully submitted,

Stanley P. Fisher
Registration Number 24,344



Juan Carlos A. Marquez
Registration Number 34,072

REED SMITH LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200
January 29, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 3 1 日
Date of Application:

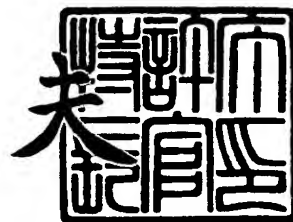
出 願 番 号 特 願 2 0 0 3 - 0 2 3 6 9 0
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 2 3 6 9 0]

出 願 人 株式会社ルネサステクノロジ
Applicant(s):

2 0 0 3 年 1 0 月 3 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 H02015481

【提出日】 平成15年 1月31日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 峰 利之

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 橋本 孝司

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 西部 泉一

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 松崎 望

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 久米 均

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 由上 二郎

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置

【特許請求の範囲】

【請求項 1】 (a) 半導体基板中に形成された第 1 および第 2 半導体領域と、

(b) 前記第 1 および第 2 半導体領域間上の前記半導体基板の上部に形成された第 1 導電体および第 2 導電体と、

(c) 前記第 1 導電体と前記半導体基板との間に形成された第 1 絶縁膜と、

(d) 前記第 2 導電体と前記半導体基板との間に形成された第 2 絶縁膜と、を有し、

(e) 前記第 2 絶縁膜は、前記半導体基板上の電位障壁膜と、その上部のシリコン酸窒化膜よりなり、前記シリコン酸窒化膜上には前記第 2 導電体が位置することを特徴とする不揮発性半導体記憶装置。

【請求項 2】 (a) 半導体基板中に形成された第 1 および第 2 半導体領域と、

(b) 前記第 1 および第 2 半導体領域間上の前記半導体基板の上部に形成された第 1 導電体および第 2 導電体と、

(c) 前記第 1 導電体と前記半導体基板との間に形成された第 1 絶縁膜と、

(d) 前記第 2 導電体と前記半導体基板との間に形成された第 2 絶縁膜と、を有し、

(e) 前記第 2 絶縁膜は、前記半導体基板上の第 1 電位障壁膜、その上部のシリコン酸窒化膜およびその上部の第 2 電位障壁膜よりなり、前記第 2 電位障壁膜の膜厚はシリコン酸化膜換算膜厚で 1 nm 以下であることを特徴とする不揮発性半導体記憶装置。

【請求項 3】 前記第 2 電位障壁膜の膜厚はシリコン酸化膜換算膜厚で 0.5 nm 以下であることを特徴とする請求項 2 記載の不揮発性半導体記憶装置。

【請求項 4】 前記シリコン酸窒化膜は、電荷保持機能を有し、前記シリコン酸窒化膜に蓄積された電子は、前記第 2 導電体に電位を印加することにより、前記第 2 導電体中に引き抜かれることを特徴とする請求項 1 または 2 記載の不揮

発性半導体記憶装置。

【請求項 5】 前記シリコン酸窒化膜に蓄積された前記電子は、ホットエレクトロン注入方法により注入されたものであることを特徴とする請求項 4 記載の不揮発性半導体記憶装置。

【請求項 6】 前記シリコン酸窒化膜を、 $\text{Si}_x\text{O}_y\text{N}_z$ ($x + y + z = 1$) とした場合に $z = 0.314$ 以上であることを特徴とする請求項 1 または 2 記載の不揮発性半導体記憶装置。

【請求項 7】 前記シリコン酸窒化膜を、 $\text{Si}_x\text{O}_y\text{N}_z$ ($x + y + z = 1$) とした場合に $y = 0.3$ 以下であることを特徴とする請求項 1 または 2 記載の不揮発性半導体記憶装置。

【請求項 8】 前記シリコン酸窒化膜の膜厚は、 10 nm 以上 30 nm 以下であることを特徴とする請求項 1 または 2 記載の不揮発性半導体記憶装置。

【請求項 9】 前記シリコン酸窒化膜の膜厚は、 12 nm 以上 20 nm 以下であることを特徴とする請求項 8 記載の不揮発性半導体記憶装置。

【請求項 10】 前記シリコン酸窒化膜は、堆積膜であることを特徴とする請求項 1 または 2 記載の不揮発性半導体記憶装置。

【請求項 11】 前記シリコン酸窒化膜は、シリコン化合物、酸素化合物および窒素化合物もしくはシリコン化合物および酸素と窒素を含有する化合物を原料とする化学気相成長法で形成された膜であることを特徴とする請求項 1 または 2 記載の不揮発性半導体記憶装置。

【請求項 12】 前記シリコン酸窒化膜は、シリコンを酸化性および窒化性雰囲気下で堆積することにより形成された膜であることを特徴とする請求項 1 または 2 記載の不揮発性半導体記憶装置。

【請求項 13】 前記電位障壁膜もしくは前記第 1 電位障壁膜は、シリコン酸化膜もしくは他のシリコン酸窒化膜であることを特徴とする請求項 1 または 2 記載の不揮発性半導体記憶装置。

【請求項 14】 前記シリコン酸化膜の膜厚は、 3 nm 以上であることを特徴とする請求項 13 記載の不揮発性半導体記憶装置。

【請求項 15】 前記他のシリコン酸窒化膜は、 3 nm 以上のシリコン酸化

膜を窒化処理することにより形成された膜であることを特徴とする請求項 13 記載の不揮発性半導体記憶装置。

【請求項 16】 前記他のシリコン酸窒化膜は、前記 (e) のシリコン酸窒化膜より窒素濃度が低いことを特徴とする請求項 13 記載の不揮発性半導体記憶装置。

【請求項 17】 (a) 半導体基板中に形成された第 1 および第 2 半導体領域と、

(b) 前記第 1 および第 2 半導体領域間上の前記半導体基板の上部に形成された第 1 導電体および第 2 導電体と、

(c) 前記第 1 導電体と前記半導体基板との間に形成された第 1 絶縁膜と、

(d) 前記第 2 導電体と前記半導体基板との間に形成された第 2 絶縁膜と、を有し、

(e) 前記第 2 絶縁膜は、前記半導体基板上の電位障壁膜と、その上部の電荷保持膜よりなり、

前記電荷保持膜は、シリコン酸窒化膜と、真空準位から当該膜の伝導体までのエネルギーと、当該膜のバンドギャップとの和が、前記シリコン酸窒化膜より小さい第 3 絶縁膜とを有し、

前記シリコン酸窒化膜の電荷トラップ密度と膜厚の積は、前記第 3 絶縁膜の電荷トラップ密度と膜厚の積より大きいことを特徴とする不揮発性半導体記憶装置。

【請求項 18】 前記第 3 絶縁膜は、窒化シリコン膜であることを特徴とする請求項 17 記載の不揮発性半導体記憶装置。

【請求項 19】 前記第 3 絶縁膜は、前記シリコン酸窒化膜より酸素濃度の小さい他のシリコン酸窒化膜であることを特徴とする請求項 17 記載の不揮発性半導体記憶装置。

【請求項 20】 前記第 3 絶縁膜は、前記シリコン酸窒化膜と前記電位障壁膜との間に形成されていることを特徴とする請求項 17 記載の不揮発性半導体記憶装置。

【請求項 21】 前記第 3 絶縁膜は、前記シリコン酸窒化膜の上部に形成さ

れていることを特徴とする請求項 17 記載の不揮発性半導体記憶装置。

【請求項 22】 前記電荷保持膜は、さらに、真空準位から当該膜の伝導体までのエネルギーと、当該膜のバンドギャップとの和が、前記シリコン酸窒化膜より小さい第 4 絶縁膜を有し、

前記シリコン酸窒化膜は、前記第 3 および第 4 絶縁膜の間に形成されていることを特徴とする請求項 17 記載の不揮発性半導体記憶装置。

【請求項 23】 前記不揮発性半導体記憶装置は、さらに、前記電荷保持膜上に第 4 絶縁膜を有し、

真空準位から当該膜の伝導体までのエネルギーが、前記シリコン酸窒化膜より前記第 4 絶縁膜の方が小さい場合は、前記第 4 絶縁膜の膜厚がシリコン酸窒化膜換算膜厚で 1 nm 以下であることを特徴とする請求項 17 記載の不揮発性半導体記憶装置。

【請求項 24】 前記シリコン酸窒化膜は、電荷保持機能を有し、前記シリコン酸窒化膜に蓄積された電子は、前記第 2 導電体に電位を印加することにより、前記第 2 導電体中に引き抜かれることを特徴とする請求項 17 記載の不揮発性半導体記憶装置。

【請求項 25】 前記シリコン酸窒化膜を、 $\text{Si}_x\text{O}_y\text{N}_z$ ($x + y + z = 1$) とした場合に $z = 0.314$ 以上であることを特徴とする請求項 17 記載の不揮発性半導体記憶装置。

【請求項 26】 前記シリコン酸窒化膜を、 $\text{Si}_x\text{O}_y\text{N}_z$ ($x + y + z = 1$) とした場合に $y = 0.3$ 以下であることを特徴とする請求項 17 記載の不揮発性半導体記憶装置。

【請求項 27】 前記シリコン酸窒化膜の膜厚は、10 nm 以上 30 nm 以下であることを特徴とする請求項 17 記載の不揮発性半導体記憶装置。

【請求項 28】 前記シリコン酸窒化膜の膜厚は、12 nm 以上 20 nm 以下であることを特徴とする請求項 27 記載の不揮発性半導体記憶装置。

【請求項 29】 前記シリコン酸窒化膜は、堆積膜であることを特徴とする請求項 17 記載の不揮発性半導体記憶装置。

【請求項 30】 前記シリコン酸窒化膜は、シリコン化合物、酸素化合物お

よび窒素化合物もしくはシリコン化合物および酸素と窒素を含有する化合物を原料とする化学気相成長法で形成された膜であることを特徴とする請求項 17 記載の不揮発性半導体記憶装置。

【請求項 31】 前記シリコン酸窒化膜は、シリコンを酸化性および窒化性雰囲気下で堆積することにより形成された膜であることを特徴とする請求項 17 記載の不揮発性半導体記憶装置。

【請求項 32】 (a) 半導体基板中に形成された第 1 および第 2 半導体領域と、

(b) 前記第 1 および第 2 半導体領域間上の前記半導体基板の上部に形成された第 1 導電体および第 2 導電体と、

(c) 前記第 1 導電体と前記半導体基板との間に形成された第 1 絶縁膜と、

(d) 前記第 2 導電体と前記半導体基板との間に形成された第 2 絶縁膜と、を有し、

(e) 前記第 2 絶縁膜は、前記半導体基板上の第 1 電位障壁膜、その上部のシリコン酸窒化膜およびその上部の第 2 電位障壁膜よりなり、

(f) 前記シリコン酸窒化膜は、電荷保持機能を有し、前記シリコン酸窒化膜に蓄積された電子は、前記半導体基板側から正孔を注入することにより消去されることを特徴とする不揮発性半導体記憶装置。

【請求項 33】 前記シリコン酸窒化膜に蓄積された電子は、ホットエレクトロン注入方法により注入されたものであることを特徴とする請求項 32 記載の不揮発性半導体記憶装置。

【請求項 34】 前記シリコン酸窒化膜を、 $\text{Si}_x\text{O}_y\text{N}_z$ ($x + y + z = 1$) とした場合に $z = 0.314$ 以上であることを特徴とする請求項 32 記載の不揮発性半導体記憶装置。

【請求項 35】 前記シリコン酸窒化膜を、 $\text{Si}_x\text{O}_y\text{N}_z$ ($x + y + z = 1$) とした場合に $y = 0.3$ 以下であることを特徴とする請求項 32 記載の不揮発性半導体記憶装置。

【請求項 36】 前記シリコン酸窒化膜の膜厚は、5 nm 以上 15 nm 以下であることを特徴とする請求項 32 記載の不揮発性半導体記憶装置。

【請求項 37】 前記シリコン酸窒化膜の膜厚は、7 nm 以上 13 nm 以下であることを特徴とする請求項 32 記載の不揮発性半導体記憶装置。

【請求項 38】 前記シリコン酸窒化膜は、堆積膜であることを特徴とする請求項 32 記載の不揮発性半導体記憶装置。

【請求項 39】 前記シリコン酸窒化膜は、シリコン化合物、酸素化合物および窒素化合物もしくはシリコン化合物および酸素と窒素を含有する化合物を原料とする化学気相成長法で形成された膜であることを特徴とする請求項 32 記載の不揮発性半導体記憶装置。

【請求項 40】 前記シリコン酸窒化膜は、シリコンを酸化性および窒化性雰囲気下で堆積することにより形成された膜であることを特徴とする請求項 32 記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は不揮発性半導体記憶装置に係り、特に低電圧、高速プログラミングが可能な高信頼性の不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】

絶縁膜を記憶ノードとする不揮発性メモリ（不揮発性半導体記憶装置）の代表的な例として MNOS（Metal-Nitride-Oxide-Semiconductor）メモリ、MONOS（Metal-Oxide-Nitride-Oxide-Semiconductor）メモリが挙げられる。MNOS メモリは、導電性ゲート電極（M）、シリコン窒化膜（N、以下「Si 窒化膜」という）、シリコン酸化膜（O、以下「Si 酸化膜」という）および半導体基板（S）の積層構造からなり、MONOS メモリは、導電性ゲート電極（M）、Si 酸化膜（O）、Si 窒化膜（N）、Si 酸化膜（O）および半導体基板（S）の積層構造からなる。両者ともに電荷保持機能を有する Si 窒化膜にキャリアを注入、放出することで情報を記憶する。

【0003】

上記不揮発性メモリの構造やプログラム方法については、例えば、特許文献 1

(特開 2001-102466 号公報 (対応 USP 6, 255, 166 号))、特許文献 2 (特開 2001-148434 号公報) および特許文献 3 (USP 5, 969, 383 号公報) 等に開示されている。

【0004】

以下、特許文献 1 (特開 2001-102466 号公報) および特許文献 2 (特開 2001-148434 号公報) に開示されているタイプのメモリセルの構造と動作を図 7 を用いて簡単に説明する。

【0005】

この不揮発性メモリは、記憶部を構成するメモリ MOS 型トランジスタと、そのメモリ部を選択して情報を読み出すための選択 MOS 型トランジスタの 2 つの MOS 型トランジスタから構成されている。選択 MOS 型トランジスタの拡散層 (ソース領域) 607B はビット線に、選択ゲート電極 603 は制御ゲート配線に接続されている。一方、メモリ MOS 型トランジスタの拡散層 (ドレイン領域) 607A は共通線に、メモリゲート電極 605 はワード線に接続されている。

【0006】

メモリ MOS 型トランジスタの容量絶縁膜 604 は 3 層膜で構成されており、例えばシリコン基板 (以下、「Si 基板」という) 601 表面側から、Si 酸化膜 (第 1 層膜) 604a、Si 窒化膜 (第 2 層膜) 604b および Si 酸化膜 (第 3 層膜) 604c で構成されている。膜厚は、第 1 層膜 604a が 3 ~ 4 nm 程度、第 2 層膜 604b が 10 nm 以下、第 3 層膜 604c が 2 ~ 4 nm 程度である。

【0007】

上記メモリ MOS 型トランジスタの第 2 層膜 604b である Si 窒化膜は、キャリア保持機能を有する電荷保持絶縁膜であり、Si 窒化膜中とその上下の界面に形成されたトラップ準位にキャリアを捕獲する。電荷保持膜としては、例えば Si 窒化膜、Si 酸窒化膜もしくは酸化タンタル等が用いられる。第 1 層膜 604a および第 3 層膜 604c は電位障壁膜であり、例えば Si 酸化膜や Si 酸窒化膜が用いられる。

【0008】

書込み動作は、選択MOS型トランジスタの拡散層（ソース領域）607Bおよびそのゲート電極603に所定の電圧を印加して選択MOS型トランジスタをオン状態にすると同時に、メモリMOS型トランジスタの拡散層（ドレイン領域）607Aおよびそのゲート電極605に所定の電圧を印加する。この時、Si基板表面のキャリアの一部がメモリMOS型トランジスタのゲート電界により容量絶縁膜604に注入される。注入されたキャリアは第1層膜であるSi酸化膜604aの電位障壁を超えて第2層膜であるSi窒化膜604bに捕獲される。

【0009】

消去動作は2つに大別される。1つはメモリMOS型トランジスタの電荷保持膜であるSi窒化膜604bから、その下層の電位障壁膜であるSi酸化膜604aを介してSi基板601側にキャリアを引き抜く方法、もう1つは第3層膜であるSi酸化膜604cを介してメモリMOS型トランジスタのゲート電極605に引き抜く方法である。両方法ともにメモリMOS型トランジスタのゲート電極605に電圧を印加することでSi窒化膜604bからキャリアを引き抜いて消去を行う。しかし、書込み動作と同じ極性（メモリゲート電極の印加電圧）を用いて消去できる後者の方法は、回路構成が容易でチップ面積も小さくできる利点がある。

【0010】

読み出し動作は、選択MOS型トランジスタをオン状態にした時、メモリMOS型トランジスタのしきい値電圧の状態により、所定の電流が流れるか否かに応じて記憶情報を読み出す。

【0011】

次に、特許文献3（USP5,969,383号公報）に開示されているタイプのメモリセルの構造と動作を、図8を用いて簡単に説明する。

【0012】

この不揮発性メモリも、記憶部を構成するメモリMOS型トランジスタと、そのメモリ部を選択して情報を読み出すための選択MOS型トランジスタの2つのMOS型トランジスタから構成されている。選択MOS型トランジスタの拡散層（ソース領域）707Bはビット線に、選択ゲート電極703は制御ゲート配線

に接続されている。一方、メモリMOS型トランジスタの拡散層（ドレイン領域）707Aは共通線に、メモリゲート電極705はワード線に接続されている。

【0013】

メモリMOS型トランジスタの容量絶縁膜704は3層膜で構成されており、例えばSi基板701の表面側から、Si酸化膜（第1層膜）704a、Si窒化膜（第2層膜）704bおよびSi酸化膜（第3層膜）704cで構成されている。膜厚は、第1層膜704aが5～15nm、第2層膜704bが5～15nm、第3層膜704cが5～15nm程度である。709は、絶縁膜である。

【0014】

書込み動作は、選択MOS型トランジスタの拡散層（ソース領域）707Bおよびそのゲート電極703に所定の電圧を印加して選択MOS型トランジスタをオン状態にすると同時に、メモリMOS型トランジスタの拡散層（ドレイン領域）707Aおよびそのゲート電極705に所定の電圧を印加する。例えば、ソース領域707Bに0V、選択MOS型トランジスタのゲート電極703に1～2V、ドレイン領域707Aに3～5V、メモリMOS型トランジスタのゲート電極705に8～10Vの電圧を印加して容量絶縁膜の一部であるSi窒化膜704bに電子を注入する。

【0015】

消去動作は、メモリMOS型トランジスタのメモリゲート電極705に負バイアス、その拡散層707Aに正バイアスを印加し、バンド間トンネリングを用いてホットホールを電荷保持膜に注入する方式で行う。例えば、ドレイン領域707Aに5～7V、メモリMOS型トランジスタのゲート電極705に-9～-11V、ソース領域707Bと選択MOS型トランジスタのゲート電極703を0Vもしくはオープン状態として消去を行う。

【0016】

読み出し動作は、選択MOS型トランジスタをオン状態にした時、メモリMOS型トランジスタのしきい値電圧の状態により、所定の電流が流れるか否かに応じて記憶情報を読み出す。

【0017】

【特許文献 1】

特開 2 0 0 1 - 1 0 2 4 6 6 号公報(対応 U S P 6, 2 5 5, 1 6 6 号)

【0 0 1 8】**【特許文献 2】**

特開 2 0 0 1 - 1 4 8 4 3 4 号公報

【0 0 1 9】**【特許文献 3】**

U S P 5, 9 6 9, 3 8 3 号公報

【0 0 2 0】**【発明が解決しようとする課題】**

本発明者らは、不揮発性半導体記憶装置の研究・開発に従事しており、装置の高性能化に関する種々の検討を行っている。

【0 0 2 1】

例えば、書込みや消去の速度の高速化、書込みや消去に伴う電流駆動能力 G_m 劣化の抑制、及び電荷保持特性の向上等を図るための装置の構造、また、高速書込みや高速消去の方法等を検討している。

【0 0 2 2】

中でも、追って詳細に説明する本発明者らの検討の結果、電荷保持絶縁膜として S i 酸窒化膜を用いることで書込みや消去が高速化し、また、電荷保持特性が向上することが判明した。

【0 0 2 3】

なお、特許文献 1 等には、キャリア捕獲機能を有する第 2 層として、例えば、シリコン酸化膜、酸化タンタル膜または第 1、第 3 層より酸素含有率の少ないシリコン酸化窒化膜を用いることが記載されているが、S i 酸窒化膜の特性についての詳細な検討はなされていない。

【0 0 2 4】

また、さらに検討を進めた結果、電荷保持絶縁膜として S i 酸窒化膜を用いた場合、上記特性の向上が図れる一方、電流駆動能力 G_m が劣化することが判明し

た。なお、この電流駆動能力 G_m の劣化についても追って詳細に説明する。

【0025】

本発明の目的は、不揮発性半導体記憶装置の性能の向上を図ることにある。

【0026】

特に、電荷保持特性の向上を図ることにある。また、電流駆動能力の劣化を防止することにある。また、動作速度の向上を図ることにある。

【0027】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0028】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0029】

本発明の不揮発性半導体記憶装置は、(a) 半導体基板中に形成された第1および第2半導体領域と、(b) 前記第1および第2半導体領域間上の前記半導体基板の上部に形成された第1導電体および第2導電体と、(c) 前記第1導電体と前記半導体基板との間に形成された第1絶縁膜と、(d) 前記第2導電体と前記半導体基板との間に形成された第2絶縁膜と、を有し、(e) 前記第2絶縁膜は、前記半導体基板上の電位障壁膜と、その上部のシリコン酸窒化膜よりなり、前記シリコン酸窒化膜上には前記第2導電体が位置するものである。

【0030】

また、本発明の不揮発性半導体記憶装置は、(a) 半導体基板中に形成された第1および第2半導体領域と、(b) 前記第1および第2半導体領域間上の前記半導体基板の上部に形成された第1導電体および第2導電体と、(c) 前記第1導電体と前記半導体基板との間に形成された第1絶縁膜と、(d) 前記第2導電体と前記半導体基板との間に形成された第2絶縁膜と、を有し、(e) 前記第2絶縁膜は、前記半導体基板上の電位障壁膜と、その上部の電荷保持膜よりなり、前記電荷保持膜は、シリコン酸窒化膜と、真空準位から当該膜の伝導体までのエ

エネルギーと、当該膜のバンドギャップとの和が、前記シリコン酸窒化膜より小さい第 3 絶縁膜とを有し、前記シリコン酸窒化膜の電荷トラップ密度と膜厚の積は、前記第 3 絶縁膜の電荷トラップ密度と膜厚の積より大きいものである。

【0031】

また、本発明の不揮発性半導体記憶装置は、(a) 半導体基板中に形成された第 1 および第 2 半導体領域と、(b) 前記第 1 および第 2 半導体領域間上の前記半導体基板の上部に形成された第 1 導電体および第 2 導電体と、(c) 前記第 1 導電体と前記半導体基板との間に形成された第 1 絶縁膜と、(d) 前記第 2 導電体と前記半導体基板との間に形成された第 2 絶縁膜と、を有し、(e) 前記第 2 絶縁膜は、前記半導体基板上の第 1 電位障壁膜、その上部のシリコン酸窒化膜およびその上部の第 2 電位障壁膜よりなり、(f) 前記シリコン酸窒化膜は、電荷保持機能を有し、前記シリコン酸窒化膜に蓄積された電子は、前記半導体基板側から正孔を注入することにより消去されるものである。

【0032】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0033】

(実施の形態 1)

本実施の形態を説明する前に、本発明者らがあらかじめ検討した事項について説明する。

【0034】

まず、本発明者らは、メモリ MOS 型トランジスタの電荷保持膜の膜種をパラメータとして書込み／消去特性、読み出し特性および電荷保持特性の関係について検討した。

【0035】

図 9 に本検討に用いたメモリセル（不揮発性半導体記憶装置、フラッシュメモリ）の構造の断面図を示す。基本的な素子構造は図 7 に示したメモリセルと同様

であるが、選択MOS型トランジスタの選択ゲート電極803がメモリMOS型トランジスタのメモリゲート電極805に乗り上げている点で異なっている。メモリMOS型トランジスタの容量絶縁膜804の構成は、Si基板801側より下層電位障壁膜、電荷保持膜および上層電位障壁膜の3層構造となっている。

【0036】

情報の書込みは、選択MOS型トランジスタで発生させたチャネル部のホットエレクトロンをメモリMOS型トランジスタの容量絶縁膜804の一部である電荷保持膜へ、所定のしきい値になるまで注入する方式で行った。このような書込み方式は、ホットエレクトロン注入方式と呼ばれる。中でも、ソース側からホットエレクトロンを注入する場合には、ソースサイド・インジェクション方式と呼ばれる。

【0037】

消去は、メモリMOS型トランジスタのゲート電極805へ、正の電圧を所定のしきい値になるまで印加する方式で行った。この場合、電荷保持膜中の電子は、メモリゲート電極へ引き抜かれる。

【0038】

電荷保持特性は、(ステップ1) 所定のしきい値になるまで書込みを行い、次いで、(ステップ2) メモリMOS型トランジスタのゲート電極に1.8Vの電圧を印加し、85℃で10万秒放置した後、(ステップ3) 書込み直後と高温放置後のしきい値を比較する方法で評価した。

【0039】

電荷保持膜の膜種として、Si窒化膜、Si酸窒化膜、酸化タンタル膜および酸化アルミニウム膜(アルミナ膜)について検討した。電荷保持膜の上下の電位障壁膜としては、Si酸化膜を用いた。下層の電位障壁膜は、4nm、上層の電位障壁膜は1.8nmとした。

【0040】

書込み特性の評価では、電荷保持膜としてSi窒化膜およびSi酸窒化膜を用いた場合は、所定の時間内に書込みが終了した。これに対し、酸化タンタル膜、

アルミナ膜を用いた場合には、所定の時間内に書込みが出来なかった。特に、酸化タンタル膜を用いた場合は、長時間書込みを行なっても、所定のしきい値までには到達しなかった。これは、酸化タンタル膜やアルミナ膜が、S i 窒化膜やS i 酸窒化膜に比べ電子のトラップ準位密度が小さいためと考えられる。しかしながら、アルミナ膜を用いた場合、消去特性や電荷保持特性は良好であるので、高速書込みを要求しない不揮発性メモリの電荷保持膜としてアルミナ膜を用いることは充分可能である。

【 0 0 4 1 】

一方、消去特性および電荷保持特性の評価において、電荷保持膜としてS i 酸窒化膜を用いた方が、S i 窒化膜を用いた場合に比べ、消去速度が高速化すること、および優れた電荷保持特性を示すことを新たに見出した。また、電荷保持膜をS i 酸窒化膜とS i 窒化膜の組み合わせで積層構造としても同様の効果が得られた。但し、S i 酸窒化膜の膜厚がS i 窒化膜よりも厚い場合、すなわちS i 酸窒化膜の電荷保持量がS i 窒化膜のそれに比べ大きい場合に限られた。

【 0 0 4 2 】

電荷保持膜としてS i 酸窒化膜を用いた方が、消去速度が高速化することは、S i 窒化膜とS i 酸窒化膜の電流—電圧特性から以下のように推察できる。

【 0 0 4 3 】

即ち、一般的にS i 窒化膜は、P—F型の伝導機構を、S i 酸窒化膜はP—F型とF—N型の間間的な伝導機構を示すと言われている。

【 0 0 4 4 】

従って、両者を電氣的に等価な膜厚（物理膜厚は誘電率の小さいS i 酸窒化膜が薄い）で比較した場合、高電界側でのリーク電流はS i 酸窒化膜が、低電界側でのリーク電流はS i 窒化膜の方が大きくなる。

【 0 0 4 5 】

消去動作では電荷保持膜に高電界が印加されるため高電界側でリーク電流の大きいS i 酸窒化膜の方が消去速度が高速化すると考えられる。

【 0 0 4 6 】

逆に、電荷保持状態においては低電界側のリーク電流特性が支配的となる。従

って、低電界側でリーク電流の少ないS i 酸窒化膜の方がS i 窒化膜に比べ電荷保持特性が向上すると考えられる。

【0047】

また、電荷保持特性（しきい値電圧の変動）は、電荷保持膜に捕獲されたキャリアの膜厚方向の移動（S i 基板側やゲート電極側への移動）だけでなく、膜の横方向拡散の影響も反映される。

【0048】

図10に、書込み直後の電子分布と高温放置後の電子分布（電子密度）の比較を模式的に示す。横軸は電荷保持膜の端部から電荷保持膜の横方向（メモリMOS型トランジスタのソース領域方向）までの長さを示している。（a）は、電荷保持膜の書込み直後の電子分布を示し、（b）は、高温保持後の電子分布を示す。（c）は、S i 窒化膜を用いた場合の高温保持後の電子分布を示す。

【0049】

S i 窒化膜やS i 酸窒化膜にトラップされた電子は、自己バイアスや温度の影響により、有限時間内で横方向にも拡散する。この電子の拡散は、電子を捕獲するトラップ準位のエネルギー（トラップ深さ）とその密度に依存すると考えられる。電子のトラップ準位エネルギーを比較した場合、S i 窒化膜とS i 酸窒化膜では顕著な差は見られないが、トラップ密度はS i 酸窒化膜の方が小さくなる。

【0050】

また、S i 酸窒化膜中の酸素濃度の増加に従いトラップ密度は減少する傾向が見られる。このため、S i 酸窒化膜中に注入された電子は、膜厚方向のみならず、膜の横方向にも拡散が抑制されると考えられる。

【0051】

以上、詳細に説明したように、電荷保持膜としてS i 酸窒化膜を用いた場合には、S i 窒化膜を用いた場合と比較し、書込み速度の向上、消去速度の向上および電荷保持特性の向上等の装置特性の向上が見られた。

【0052】

しかしながら、S i 酸窒化膜を用いた場合の短所として、S i 窒化膜を用いた場合と比べ、書込み／消去動作を繰り返すことでMOSトランジスタの電流駆動

能力 G_m (電流供給能力としての相互コンダクタンス) が低下することが明らかとなった。

【0053】

電荷保持膜に S_i 酸窒化膜を用いた素子の G_m 低下要因を調べたところ、 G_m の低下は、電荷保持膜の下層の電位障壁膜 (ボトム S_i 酸化膜) の劣化、例えば、膜中のトラップサイトおよび界面準位密度増加等、が原因であることが分かった。また、ボトム S_i 酸化膜の劣化は消去動作で発生していること、および消去動作時に電荷保持膜中で発生した正孔がボトム S_i 酸化膜劣化の主原因である知見を得た。

【0054】

そこで、本発明者らは、 S_i 酸窒化膜を用いた素子の G_m を向上させるため以下に示す対策を講じた。

【0055】

上述したように、 S_i 酸窒化膜を電荷保持膜とした不揮発性メモリトランジスタの書込み／消去動作に伴う G_m の低下は、消去動作に伴うボトム S_i 酸化膜 (S_i 基板に対する電位障壁膜) の膜質劣化が主原因である。

【0056】

この消去動作に伴うボトム酸化膜の劣化を抑制するには、(1) 電荷保持膜中の正孔発生率を下げる、(2) 発生した正孔の S_i 基板への到達率を下げる、等の方法が挙げられる。

【0057】

最初に、メモリ MOS 型トランジスタのゲート電極へ電荷保持膜の電子を引き抜く消去方式の対策について説明する。電荷保持膜中の正孔発生率を下げる手段としては、消去電圧の低電圧化が最も有効である。消去電圧の低電圧化を図るには、メモリ MOS 型トランジスタの容量絶縁膜 (電荷保持膜含む) の薄膜化が必須となる。

【0058】

但し、各層の薄膜化に関しては以下の制限がある。 S_i 基板に接する下層の電位障壁膜は、電荷保持膜にトラップした電子が S_i 基板側へトンネリングしない

膜厚に設定する必要がある。Si 酸化膜に換算した膜厚では、約 3 nm 程度が薄膜化の限界となる。

【0059】

電荷保持膜の薄膜化は、書込み時間の増大を伴うため高速書込みの不揮発性メモリを実現する上では好ましくない。

【0060】

以上の制限から、消去電圧の低電圧化を実現する上で最も有効な方法は、電荷保持膜の上層に位置する電位障壁膜の薄膜化である。具体的には、Si 酸化膜換算膜厚で 1 nm 以下が望ましい。より望ましくは、上層の電位障壁膜を形成しないことである。厳密には、電荷保持膜表面には 0.5 nm 程度の自然酸化膜が形成される。例えば、上層の電位障壁膜とその上部のメモリゲート電極を異なるチャンバ（処理室）で形成する際、半導体ウエハの搬送の際等に半導体ウエハが大気に触れる等し、電荷保持膜表面に自然酸化膜が形成される。

【0061】

従って、上層の電位障壁膜を 1 nm 以下の膜厚とすることが好ましく、さらに、上層の電位障壁膜を自然酸化膜の膜厚である 0.5 nm 以下に抑えることが望ましい。さらには、上層の電位障壁膜を形成しないことが望ましい。自然酸化膜を形成を極力避けるためには、例えば、処理工程間における半導体ウエハと大気（酸素）の接触を避け、また、メモリゲート電極の形成前に自然酸化膜の除去を行う等の方法が考えられる。具体的には、ロードロック室、搬送室および複数の処理室を有する装置を用いれば、電荷保持膜形成後、大気に暴露することなくメモリゲート電極を連続形成することが可能であり、自然酸化膜を低減することができる。

【0062】

次いで、本実施の形態の不揮発性半導体記憶装置の構造およびその駆動方法について詳細に説明する。

【0063】

図1に、本発明の実施の形態1である不揮発性メモリセルの断面図を示す。実際には図の上層には配線が存在するが本図では省略する。

【0064】

メモリセルは、Si基板（半導体基板）上に設けたp型ウエル領域101、ソース領域107Bとなるn型拡散層（n型半導体領域）、ドレイン領域107Aとなるn型拡散層を有した2つのMOS型トランジスタから構成されている。

【0065】

選択MOS型トランジスタは、ゲート絶縁膜102となるSi酸化膜、選択ゲート電極（導電体）103となるn型多結晶シリコン膜（以下、「Si膜」という）から構成されている。

【0066】

メモリMOS型トランジスタはp型ウエル領域101との下層電位障壁膜104aとなるSi酸化膜、電荷保持膜104bとなるSi酸窒化膜、メモリゲート電極105との上層電位障壁膜104cとなるSi酸化膜およびメモリゲート電極105となるn型多結晶Si膜から構成されている。

【0067】

なお、本実施の形態の一例として、メモリゲート電極105とSi基板（p型ウエル領域101）との間に形成された容量絶縁膜を、上層電位障壁膜104cを形成しない2層構造とするものが挙げられる。

【0068】

2つのトランジスタのゲート電極103、105は、ギャップ絶縁膜106となるSi酸化膜で電氣的に分離されている。このギャップ絶縁膜106は、選択MOS型トランジスタのゲート絶縁膜102とは別層で形成されている。

【0069】

選択MOS型トランジスタのゲート絶縁膜102およびメモリMOSトランジスタのp型ウエル領域101に対する下層電位障壁膜104aは、例えば、p型ウエル領域101を酸化性雰囲気中で熱酸化して形成したSi酸化膜であり、膜厚はそれぞれ3nmおよび4nmとした。ここでは、選択MOS型トランジスタのゲート絶縁膜やメモリMOSトランジスタの下層電位障壁膜104aとして熱酸化膜を例示したが、熱酸化膜を一酸化窒素（NO）や亜酸化窒素（N₂O）雰囲気等の窒化性雰囲気中で処理（窒化処理）したSi酸窒化膜を用いることも可

能である。

【0070】

電荷保持膜 104b である Si 酸窒化膜は、例えばジクロルシラン (SiH_2Cl_2)、アンモニア (NH_3) および亜酸化窒素 (N_2O) を原料ガスとする化学気相成長 (CVD: Chemical Vapor Deposition) 法で形成した。形成温度は 780°C 、全圧は 60Pa とした。膜中の酸素濃度は、アンモニアと亜酸化窒素の流量を調整することで 25% に設定した。

【0071】

ここでは、Si 酸窒化膜の形成方法として、ジクロルシラン、アンモニア、亜酸化窒素を原料ガスとする熱 CVD 法の例を示したが、本発明は原料ガスの種類で規定されるものではなく、Si の供給源 (Si 化合物) としてモノシラン、ジシラン等の水素とシリコンの化合物、四塩化シリコンや六塩化シリコン等のハロゲンとシリコンの化合物、また、酸素や窒素の供給源 (酸素化合物、窒素化合物) として、ヒドラジンや一酸化窒素などを用いること無論可能である。即ち、Si 酸窒化膜をシリコン化合物、酸素化合物および窒素化合物もしくはシリコン化合物および酸素と窒素を含有する化合物を原料とする化学気相成長法で形成することができる。また、また成膜方法においても、プラズマ CVD 法や触媒 CVD 法等の他の CVD 法を用いても良い。また、スパッタリング (物理的蒸着法、PVD 法) を用いて Si 酸窒化膜を形成してもよい。例えば、Si をターゲットとし、酸化性および窒化性の雰囲気中でスパッタリングを行い、Si 酸窒化膜を形成する。

【0072】

このように電荷保持膜 104b である Si 酸窒化膜は、堆積膜である。この Si 酸窒化膜を $\text{Si}_x\text{O}_y\text{N}_z$ で表した場合、酸素や窒素の供給源の導入比を変えることにより酸素濃度; y と窒素濃度; z を変えることができる。

【0073】

また、Si 酸窒化膜を $\text{Si}_x\text{O}_y\text{N}_z$ で表した場合、膜中の酸素 (O) が常に 2 個の Si と結合、窒素 (N) が常に 3 個の Si と結合しているとする (未結合手が無いと仮定すると)、 $\text{Si}_x\text{O}_y\text{N}_z$ の x 、 y 、 z は、 $4x = 2y + 3z$

を満たす。但し、 $x+y+z=1$ である。

【0 0 7 4】

例えば、窒素濃度は 3 1 . 4 % 以上 ($z \geq 0 . 3 1 4$) が好ましい。また、酸素濃度は 5 % 以上 3 0 % 以下 ($0 . 0 5 \leq y \leq 0 . 3$) が好ましい。

【0 0 7 5】

これと比較して、例えば、選択 MOS 型トランジスタのゲート絶縁膜やメモリ MOS トランジスタの下層電位障壁膜 1 0 4 a として使用可能な酸窒化膜（熱酸化膜を窒化処理したもの）の窒素濃度は、多くて 7 % ($z = 0 . 0 7$) 程度である。

【0 0 7 6】

メモリ MOS 型トランジスタのメモリゲート電極 1 0 5 に対する上層電位障壁膜 1 0 4 c は、例えば、S i 酸窒化膜を熱酸化し、その表面を S i 酸化膜とすることで形成する。

【0 0 7 7】

本実施の形態においては、上記 S i 酸化膜 1 0 4 c の膜厚を 0 ~ 2 . 5 nm として 5 つの試料を作製した。各試料のメモリ MOS 型トランジスタは、電荷保持膜 1 0 4 b である S i 酸窒化膜の膜厚を調整することで、容量絶縁膜の電気的容量（S i 酸化膜換算膜厚）が一定となるように設定した。なお、本実施の形態のメモリ MOS 型トランジスタの容量絶縁膜の構成は、図 1 1 に示した欄 1 と欄 2 に対応する。なお、図 1 1 については、実施の形態 2 において詳細に説明する。

【0 0 7 8】

本実施の形態で示す S i 酸窒化膜 1 0 4 b の膜厚許容範囲は、膜厚上限が消去時間で膜厚下限が電荷保持特性で決定される。消去の面からは物理膜厚（実膜厚）で 3 0 nm 以下、電荷保持特性の面からは 1 0 nm 以上、より好ましくは 2 0 nm 以下 1 2 nm 以上の膜厚に設定するのが好ましい。

【0 0 7 9】

図 2 に図 1 に示したメモリセルの動作と電圧の印加方法の一例を示す。ここでは、電荷保持膜 1 0 4 b への電荷注入を書込み（program）と定義する。書込み方式はソースサイド・インジェクションを用いたホットエレクトロン書込みであ

り、ソース領域 107B に印加する電圧 (V_s) は 5 V、ドレイン領域 107A に印加する電圧 (V_d) は 0 V、メモリ MOS 型トランジスタのゲート電極 105 に印加する電圧 (V_{mg}) は 10 V、選択 MOS 型トランジスタのゲート電極 103 へ印加する電圧 (V_{sg}) は、そのトランジスタのしきい値 (V_t) と概ね同じとする。ホットエレクトロンの発生領域は、2 つのトランジスタのゲート電極 103、105 が絶縁された領域下のチャネル部である。書込みはメモリ MOS 型トランジスタのしきい値が 4 V になるように設定した。なお、 V_{well} は、p 型ウエル領域 101 に印加する電圧である。

【0080】

消去は、メモリ MOS 型トランジスタのゲート電極 105 に正の電圧を印加することにより、メモリゲート電極 105 側へ電子を引き抜くことにより行った。本実施の形態では所定の時間内に、トランジスタのしきい値が -1 V になるように、各試料のメモリ MOS 型トランジスタのゲート印加電圧 (V_{mg}) を調整した。なお、図 2 に示した電圧条件および書込み／消去のしきい値の絶対値は一例であり、この数値をもって本発明が限定されるわけではない。このように消去方法を書込み動作と同じ極性（メモリゲート電極の印加電圧）を用いた消去とすることで、回路構成が容易となりチップ面積も小さくできる。

【0081】

図 3 に、上層電位障壁膜 (Si 酸化膜) 104c の膜厚 (nm) と消去ゲート電圧 (V) および Gm 比 (%) の関係を示した。Gm 比は、書込み／消去動作を 1000 回繰り返した後の Gm を初期の Gm で規格化した値であり、小さくなるほど劣化することを示す。メモリゲート電極 105 に対する上層電位障壁膜 104c の膜厚を薄くするに従い消去ゲート電圧は下がり Gm 比は向上した。特に、上層電位障壁膜 104c の膜厚を 1 nm より薄くすると Gm 劣化は著しく改善された。例えば、膜厚 1 nm において Gm 比は 87 % 程度となり、また、膜厚 0.5 nm においては、Gm 比は 95 % 程度となった。さらに、上層電位障壁膜 104c を形成しない場合には、Gm 比は 97 % 程度となった。また、電荷保持特性は、全ての試料で良好な結果を示した。

【0082】

本実施の形態では、メモリMOS型トランジスタの上部に選択MOS型トランジスタのゲート電極103が乗り上げる構造の一例を示したが、選択MOS型トランジスタの上部にメモリMOS型トランジスタのゲート電極103を乗り上げる、逆の構造（図7参照）を用いても同様の効果が得られる。また、書込み速度は低下するが、電荷保持膜としてSi酸窒化膜に比ベトラップ密度が小さいアルミナ膜を用いてもGm比の向上の効果が得られる。

【0083】

なお、本実施の形態では、単結晶Si基板上に形成した不揮発性メモリに関して記載したが、本発明は単結晶Si基板に限るものではない。例えば、Si基板上にSiGe（シリコンゲルマニウム）を成長させたいわゆる歪み基板、単結晶Siを有するSOI（silicon on insulator）基板を用いることも可能である。また、ガラス基板上に薄膜TFT（高温多結晶Si-TFT、低温多結晶Si-TFT）と本発明の不揮発性メモリを混載させることも無論可能である。但し、低温多結晶Si-TFTデバイスは、プロセス温度の制限（例えば550℃以下）があるため、容量絶縁膜やゲート電極の形成には、プラズマCVD法、スパッタ法を用いる必要がある。特に容量絶縁膜の形成は、低温（例えば550℃以下）でも良質の絶縁膜が選られる電子サイクロトロン共鳴（ECR）スパッタ法が好ましい。

【0084】

（実施の形態2）

実施の形態1においては、電荷保持膜としてSi酸窒化膜を用いる場合について詳細に説明したが、この電荷保持膜を、Si酸窒化膜とSi窒化膜等の組み合わせとしても良い。前述したとおりこの場合も消去速度の高速化や電荷保持特性の向上を図ることができる。

【0085】

ここで、電荷保持膜を積層膜とした場合の「主たる電荷保持膜」と「電位障壁膜」を以下のように定義する。まず、主たる電荷保持膜とは、注入された電子のトラップ密度と膜厚の積が最も大きい膜、すなわち捕獲電子量の最も大きい膜と定義する。電荷保持機能を有する複数の積層絶縁膜を電荷保持膜とした場合の例

を以下に示す。例えばA膜、B膜およびC膜の電子トラップ密度をそれぞれ N_A 、 N_B および N_C 、また、A膜、B膜およびC膜の膜厚をそれぞれ T_A 、 T_B 、 T_C とした場合、「 $N_A \times T_A < N_B \times T_B < N_C \times T_C$ 」の関係であれば、主たる電荷保持膜はC膜と定義する。

【0086】

Si 窒化膜の電子トラップ密度は形成方法により多少異なるが、例えばジクロロシランとアンモニアを原料ガスとする減圧化学気相成長法（LP-CVD法）で形成した場合、電子トラップ密度は、 $4 \times 10^{18} / \text{cm}^3 \sim 7 \times 10^{18} / \text{cm}^3$ （以下、「 $\times 10^{18}$ 」を「 $e18$ 」と表す）程度となる。また、ジクロロシラン、アンモニア、亜酸化窒素を原料ガスとするLP-CVD法で形成したSi 酸窒化膜においても、その酸素濃度を調整することで、電子トラップ密度をSi 酸窒化膜（ SiO_2 ）からSi 窒化膜（ Si_3N_4 ）の範囲で制御することが出来る。但し、電子トラップ密度が小さいと、書込み時間が長くなるため、現実的には $5e17 / \text{cm}^3$ 以上の電子トラップ密度を有する電荷保持膜を用いることが好ましい。

【0087】

次に、電位障壁膜の定義について説明する。電位障壁膜は、上式で定義した電荷保持膜に捕獲された電子からみた場合、ゲート電極側に対して僅かでも電位障壁があれば電位障壁膜と定義する。ここでは、電界を印加しない状態で、真空準位から絶縁膜Aの伝導帯（コンダクションバンド）までのエネルギー（ $E_a(a)$ ）が、真空準位から絶縁膜Bの伝導帯までのエネルギー（ $E_a(b)$ ）より小さければ、絶縁膜Aに対して絶縁膜Bは電位障壁となるとする。即ち、電位障壁となるか否かは、真空準位から当該膜の伝導帯までのエネルギーの大小によって定まるものとする。

【0088】

例えば、ボトムSi 酸窒化膜、Si 酸窒化膜およびSi 窒化膜が基板側から順に積層されている場合、主たる電荷保持膜が、電子トラップ密度と膜厚の積による定義からSi 酸窒化膜であれば、その上層のSi 窒化膜はSi 酸窒化膜に対しキャリア障壁が低いので電位障壁膜とはならない（後述する図13参照）。また、

一般的に $E_a(\text{SiO}_2)$ は約 1 eV 、 $E_a(\text{SiN})$ は約 2 eV になる。従って、 $E_a(\text{SiON})$ は、 $1\text{ eV} \sim 2\text{ eV}$ ($1\text{ eV} < E_a(\text{SiON}) < 2\text{ eV}$) となる。

【0089】

例えば、真空準位から Si 基板のコンダクションバンドまでのエネルギー（電子親和力； κ ）は $4.1 \sim 4.15\text{ eV}$ であり、Si 基板と SiO_2 のコンダクションバンドの差（バリアハイト； ϕ_{b1} ）は、約 3.1 eV である。従って、 $E_a(\text{SiO}_2)$ は、前記電子親和力とバリアハイトの差（ $\text{Si}(\kappa) - \phi_{b1} = 4.1\text{ eV} - 3.1\text{ eV} = 1\text{ eV}$ ）となり、約 1 eV となる。

【0090】

一方、Si 基板と SiN のコンダクションバンドの差（バリアハイト； ϕ_{b2} ）は、約 2 eV で、 $E_a(\text{SiN})$ は、 $(\text{Si}(\kappa) - \phi_{b2} = 4.1\text{ eV} - 2\text{ eV} = 2.1\text{ eV})$ となり、約 2.1 eV となる。なお、Si のバンドギャップは 1.12 eV である。

【0091】

また、ボトム Si 酸化膜、Si 窒化膜および Si 酸窒化膜が基板側から順に積層されている場合、主たる電荷保持膜が最上層の Si 酸窒化膜であれば、ゲート電極側に対する電位障壁膜は存在しない。

【0092】

図 11 に容量絶縁膜として複数の絶縁膜の組み合わせを用いた場合の、主たる電荷保持膜と電位障壁膜の関係の一例を示した。図中の「 SiO_2 」は Si 酸化膜、「SiN」は Si 窒化膜、「SiON」は Si 酸窒化膜に対応する。

【0093】

例えば、実施の形態 1 で説明したメモリセル構造は、図 11 の欄 1 および欄 2 に対応し、欄 2 に示すように、電位障壁膜の欄に記載した SiO_2 を 1 nm 以下にすることで消去電圧の低電圧化が可能となる。ここでは、上層電位障壁膜として Si 酸化膜の例を示したが、Si 酸化膜換算膜厚で 1 nm 以下であれば、Si 酸化膜に限らずアルミナ膜の適用も可能である。しかし、更なる低電圧化を図るためには、欄 1 に示すように電位障壁膜を形成しないことが好ましい。

【0094】

図11の欄3および欄4は、それぞれ前述したボトムSi酸化膜、Si酸窒化膜およびSi窒化膜の積層の場合、ボトムSi酸化膜、Si窒化膜およびSi酸窒化膜の積層の場合であり、双方ともゲート電極側に対する電位障壁膜は存在しない。

【0095】

なお、電荷保持膜に複数のSi酸窒化膜を用いる場合、電荷保持膜に対する酸素濃度の違いで電位障壁膜となるか否かが決定する。図11の欄5の(a)に示すように、ボトムSi酸化膜、第1Si酸窒化膜(SiON(1))および第2Si酸窒化膜(SiON(2))の積層の場合、例えば、電荷保持膜のSiON(1)の酸素濃度を15%とした場合、SiON(2)の酸素濃度が15%未満である場合は、かかる膜は電位障壁膜とならないが、酸素濃度が15%を超えていれば電位障壁膜となる。

【0096】

このように、当該膜の酸素濃度が電荷保持膜となるSi酸窒化膜の酸素濃度より小さい場合は、電位障壁膜とならないが、逆に、当該膜の酸素濃度が電荷保持膜となるSi酸窒化膜の酸素濃度より大きい場合は、電位障壁膜となる。但し、実施の形態1で説明したように、主たる電荷保持膜とゲート電極との間に電位障壁膜が存在しても、その膜厚がSi酸化膜換算膜厚で1nm以下に設定することによりGm劣化を改善することができる。

【0097】

このように電荷保持膜となるSi酸窒化膜の上層や下層にSi窒化膜もしくは酸素濃度の小さいSi酸窒化膜を形成することにより、消去時にSi基板へ注入される正孔の量を抑制することができる。以下、この点について説明する。

【0098】

まず、図12を用いて消去時に正孔が発生するメカニズムの概要から説明する。図12は、消去時における、メモリMOS型トランジスタのSi基板、電位障壁膜、電荷保持膜およびゲート電極のバンド構造を模式的に示した図である。正孔の発生は、図中1)～4)の工程を経てSi基板に到達すると考えられる。第

1 は、メモリゲート電極近傍の電荷保持膜のトラップ準位に捕獲されていた電子が、メモリゲート電極にトンネリングする 1) の工程、第 2 は、空席となったトラップ準位に電荷保持膜の価電子帯から電子が移る 2) の工程、第 3 は、価電子帯に発生した正孔が、電界により Si 基板側に移動する 3) の工程、第 4 は、電荷保持膜の価電子帯から下層電位障壁膜をトンネリングする 4) の工程である。このように、正孔が下層電位障壁膜をトンネリングし、Si 基板中に流れると、Si 基板中に界面準位を形成し、読み出し電流が低下する。その結果、電流駆動能力 G_m が劣化する。

【0099】

実施の形態 1 で説明した上層電位障壁膜の省略もしくは薄膜化によれば消去ゲート電圧の低電圧化が図れ、図中 1)、3) および 4) の確率が下がる。その結果、正孔の発生が抑制され、 G_m 劣化も改善される。

【0100】

一方、異なるバンドギャップを有する 2 層以上の電荷保持膜を積層構造にし、消去動作時に正孔だけに対する電位障壁を形成する方法も G_m 劣化の改善に有効な手段となる。

【0101】

図 13、図 14 および図 15 は、Si 窒化膜と Si 酸窒化膜を積層構造とした時のバンド構造を模式的に示した図である。図 13 は図 11 の欄 3 に、図 14 は、図 11 の欄 4 に、図 15 は図 11 の欄 6 に対応する。いずれの場合も、Si 窒化膜と Si 酸窒化膜のバンドギャップ差により Si 窒化膜部に正孔が溜まり、正孔が下層電位障壁膜をトンネリングすることを抑制することができる。言い換えれば、消去電圧状態における正孔だけに対する電位障壁が形成される。

【0102】

正孔に対する電位障壁となるか否かの定義を、真空準位から当該膜の伝導体までのエネルギーと、当該膜のバンドギャップとの和の大小によって定める。電界を印加しない状態で、真空準位から絶縁膜 A の伝導帯（コンダクティブバンド）までのエネルギー（ $E_a(a)$ ）と絶縁膜 A のバンドギャップ（ $BG(a)$ ）との和が、真空準位から絶縁膜 B の伝導帯までのエネルギー（ $E_a(b)$ ）と絶縁膜 B

のバンドギャップ ($BG(b)$) との和より小さければ、絶縁膜 A は正孔の電位障壁となるとする。例えば、図 13 に示す $SiON$ の真空準位から伝導帯 (コンダクティブバンド) までのエネルギーは、 $E_a(SiON)$ であり、バンドギャップは、 $BG(SiON)$ である。製造方法によりその数値が若干異なるが、 SiO_2 のバンドギャップ ($BG(SiO_2)$) は、 8 eV 以下、 SiN のバンドギャップ ($BG(SiN)$) は、 $4.4 \sim 4.6\text{ eV}$ 程度である。

【0103】

図 13～図 15 には、 Si 窒化膜の例を示したが、図 11 の欄 5 (a) および欄 7 (a) に示すように、電荷保持膜となる Si 酸窒化膜に比べて酸素濃度の小さい (窒素濃度の大きい) Si 酸窒化膜を用いてもよい。

【0104】

このように、消去動作時に電荷保持膜、ないし電極近傍で発生する正孔に対して電位障壁となるバンドギャップの異なる絶縁膜を組み合わせることで、正孔がトラップされ、 Si 基板側に到達する正孔が抑制される。その結果、 G_m 劣化も改善される。

【0105】

即ち、主たる電荷保持膜が Si 酸窒化膜である場合には、その上層、下層もしくはその中間に、 Si 窒化膜や、主たる電荷保持膜より酸素濃度の小さい (窒素濃度の大きい) Si 酸窒化膜を設けることで、 G_m 劣化が改善される。

【0106】

このような正孔をトラップする膜は、主たる電荷保持膜の中間に配置するよりはその上層もしくは下層に配置する方が好ましい。これは、主たる電荷保持膜に捕獲された電子をゲート電極側に消去する際に、かかる膜が電子に対する溝 (シンク) となり、消去時間が増加するためである。

【0107】

また、本発明者の検討では、正孔をトラップする膜を電荷保持膜の下層に配置した方が上層に配置するより G_m 劣化が改善され、電荷保持膜の上層よりは下層に置くことが好ましい。これは、トラップされた正孔に対しては Si 基板側の電位障壁層が最も大きい電位障壁となり、 Si 基板へ到達する正孔の確率が減少す

るためである。

【0108】

次いで、本実施の形態の不揮発性半導体記憶装置の構造について詳細に説明する。図1を参照しながら説明した実施の形態1と同じタイプのメモリセルを形成し、実施の形態1の場合と同様の評価を行った。本メモリセルは、選択MOS型トランジスタおよびメモリMOS型トランジスタを有する不揮発性メモリであり、実施の形態1のメモリセル（図1）と異なる点は、メモリMOS型トランジスタの容量絶縁膜の膜構成である。その他の部位の材質や形成方法は実施の形態1と同様であるためその説明を省略する。また、動作方法も実施の形態1と同様であるためその説明を省略する。

【0109】

図4は、メモリMOS型トランジスタの容量絶縁膜の構造を示した断面図である。図4の左図は、Si基板側よりSi酸化膜204a、Si窒化膜204b、Si酸窒化膜204cおよびメモリゲート電極205が積層された状態を示し、各絶縁膜の膜厚はそれぞれ4nm、4nmおよび18nmである。

【0110】

Si窒化膜204bはジクロルシランとアンモニアを原料ガスとするLP-CVD法で形成した。本実施の形態で用いたSi窒化膜204bの電子トラップ密度は $5 \times 10^{18} / \text{cm}^3$ であった。

【0111】

また、Si酸窒化膜204cは実施の形態1のSi酸窒化膜104bと同様に形成することができ、本実施の形態では、酸素濃度を調整して電子トラップ密度を $2 \times 10^{18} / \text{cm}^3$ とした。なお、Si酸窒化膜についての好適な膜厚範囲や酸素濃度範囲は、実施の形態1と同様である。

【0112】

従って、本構造の電荷保持膜は電子トラップ密度と膜厚の積が値の大きいSi酸窒化膜204cとなる。消去動作時のバンド構造は、図14に示した構造となり、Si酸窒化膜204cにトラップされた電子に対しては電位障壁膜は存在しない。

【0113】

一方、メモリゲート電極205近傍で発生した正孔に対しては、下層Si酸化膜204aとSi窒化膜204bの界面に存在する電位障壁が大きいため、正孔のトンネル確率は小さくなる。以上の2つの効果により、Gm劣化は大幅に改善される。

【0114】

ここでは、メモリMOS型トランジスタの容量絶縁膜を、Si酸化膜204a、Si窒化膜204bおよびSi酸窒化膜204cの積層構造としたが、Si窒化膜204bの部分をSi酸窒化膜としてもよい。即ち、Si酸化膜204a、Si酸窒化膜(1)204bおよびSi酸窒化膜(2)204cの積層構造としてもよい。但し、図4の左図に示す場合と同様の効果を得るためには、Si酸窒化膜(1)204bの酸素濃度をSi酸窒化膜(2)204cより小さくし、さらに、Si酸窒化膜(1)とSi酸窒化膜(2)の膜厚と電子トラップ密度をそれぞれ T_1 、 N_1 、 T_2 、 N_2 とした場合、「 $T_1 < (N_2 \times T_2) / N_1$ 」の条件を満たす必要がある。

【0115】

図4の中央図は、Si基板側よりSi酸化膜304a、Si酸窒化膜304b、Si窒化膜304cおよびメモリゲート電極305が積層された状態を示し、各絶縁膜の膜厚はそれぞれ4nm、18nmおよび4nmである。

Si酸窒化膜304bおよびSi窒化膜304cの形成方法および電子トラップ密度は、それぞれSi酸窒化膜204cおよびSi窒化膜204bと同様である。

【0116】

従って、本構造の電荷保持膜は電子トラップ密度と膜厚の積が値の大きいSi酸窒化膜304bとなる。消去動作時のバンド構造は、図13の上図に示した構造となり、Si酸窒化膜304bにトラップされた電子に対してSi窒化膜304cは電位障壁膜とならないため低電圧消去が可能となる。一方、メモリゲート電極305近傍で発生した正孔には、Si窒化膜304cとSi酸窒化膜304bの界面が電位障壁になるため、Si基板側に移動する確率が小さくなる。以上



の2つの効果によりG_m劣化は大幅に改善される。

【0117】

ここでは、メモリMOS型トランジスタの容量絶縁膜を、Si酸化膜304a、Si酸窒化膜304bおよびSi窒化膜304cの積層構造としたが、Si窒化膜304cの部分をSi酸窒化膜としてもよい。即ち、Si酸化膜304a、Si酸窒化膜(1)304bおよびSi酸窒化膜(2)304cの積層構造としてもよい。但し、図4の中央図に示す場合と同様の効果を得るためには、Si酸窒化膜(2)304cの酸素濃度をSi酸窒化膜(1)304bより小さくし、さらに、Si酸窒化膜(1)とSi酸窒化膜(2)の膜厚と電子トラップ密度をそれぞれ T_1 、 N_1 、 T_2 、 N_2 とした場合、「 $T_2 < (N_1 \times T_1) / N_2$ 」の条件を満たす必要がある。

【0118】

図4の右図は、Si基板側よりSi酸化膜404a、Si窒化膜404b、Si酸窒化膜404c、Si窒化膜404dおよびメモリゲート電極405が積層された状態を示し、各絶縁膜の膜厚はそれぞれ4nm、3nm、17nmおよび3nmである。Si酸窒化膜404cおよびSi窒化膜404b、404dの形成方法および電子トラップ密度は、それぞれSi酸窒化膜204cおよびSi窒化膜204bと同様である。

【0119】

従って、本構造の電荷保持膜は電子トラップ密度と膜厚の積が最も大きいSi酸窒化膜404cとなる。消去動作時のバンド構造は、図15に示した構造となり、Si酸窒化膜404cにトラップされた電子に対して上層のSi窒化膜404dは電位障壁膜とならないため低電圧消去が可能となる。一方、メモリゲート電極405近傍で発生した正孔には、Si窒化膜404dとSi酸窒化膜404cとの界面、およびSi窒化膜404dとSi酸化膜404aの界面が電位障壁になるため、Si基板側に移動する確率は非常に小さくなる。以上の2つの効果によりG_m劣化は大幅に改善される。

【0120】

ここでは、メモリMOS型トランジスタの容量絶縁膜を、Si酸化膜404a

、Si窒化膜404b、Si酸窒化膜404cおよびSi窒化膜404dの積層構造としたが、Si酸窒化膜404cの上下層のSi窒化膜404bおよび404dをSi酸窒化膜としてもよい。即ち、Si酸窒化膜(1)404b、Si酸窒化膜(2)404cおよびSi酸窒化膜(3)404dの積層構造としてもよい。但し、図4の左図に示す場合と同様の効果を得るためには、Si酸窒化膜(2)404cの酸素濃度をSi酸窒化膜(1)404bおよびSi酸窒化膜(3)404dより大きくし、さらに、Si酸窒化膜(1)、Si酸窒化膜(2)およびSi酸窒化膜(3)の膜厚と電子トラップ密度をそれぞれ T_1 、 N_1 、 T_2 、 N_2 、 T_3 、 N_3 とした場合、「 $T_1 < (N_2 \times T_2) / N_1$ 」および「 $T_3 < (N_2 \times T_2) / N_3$ 」の条件を満たす必要がある。

【0121】

なお、上記膜の積層例の他、図11の欄7に示すように、図4の左図のSi窒化膜204bをSi酸窒化膜とSi窒化膜の積層膜とし(欄7の(b)参照)、また、図4の中央図のSi窒化膜304cをSi酸窒化膜とSi窒化膜の積層膜としてもよい(欄7の(a)参照)。

【0122】

なお、本実施の形態においても、単結晶Si基板上に形成した不揮発性メモリに関して記載したが、本発明は単結晶Si基板に限るものではない。例えば、歪み基板やSOI基板を用いてもよく、また、ガラス基板を用いた薄膜TFT(高温多結晶Si-TFT、低温多結晶Si-TFT)デバイスにも適用できる。

【0123】

(実施の形態3)

実施の形態1においては、電荷蓄積膜としてシリコン酸窒化膜を用いた場合に生じるGmの劣化を上層の電位障壁膜の省略や薄膜化により改善したが、消去方法をホットホール注入とすることによりGm劣化を低減してもよい。

【0124】

即ち、実施の形態1においては、電荷保持膜の電子をメモリゲート電極へ引き抜く消去方式について記述したが、もう1つの低電圧消去法としてホットホール消去が挙げられる。ホットホール消去は、メモリMOS型トランジスタのメモリ

ゲート電極に負バイアス、その拡散層に正バイアスを印加し、バンド間トンネリングを用いてホットホールを電荷保持膜に注入する方式である。ホットホール消去によれば、メモリMOS型トランジスタのメモリゲート電極に正電圧を印加してキャリアを引き抜く方式に比べ、消去電圧を小さく出来る利点がある。このため、Si酸窒化膜を電荷保持膜として用いても、消去時のGm劣化を抑制することが可能となる。

【0125】

次いで、本実施の形態の不揮発性半導体記憶装置の構造およびその駆動方法について詳細に説明する。

【0126】

図5に本実施の形態の不揮発性メモリセルの断面図を示す。実際には図の上層には配線が存在するが本図では省略する。

【0127】

メモリセルはSi基板の上に設けたp型ウエル領域501、ソース領域507Bとなるn型拡散層、ドレイン領域507Aとなるn型拡散層を有した2つのMOS型トランジスタから構成されている。選択MOS型トランジスタは、ゲート絶縁膜502となるSi酸化膜、選択ゲート電極503となるn型多結晶Si膜およびその上部に形成した絶縁膜504から構成されている。メモリMOS型トランジスタはp型ウエル領域501との下層電位障壁膜504aとなるSi酸化膜、電荷保持膜504bとなるSi酸窒化膜、メモリゲート電極505との電位障壁膜504cとなるSi酸化膜およびメモリゲート電極505となるn型多結晶Si膜から構成されている。

【0128】

2つのトランジスタのゲート電極503、505は、ギャップ絶縁膜506となるSi酸化膜で電氣的に分離されており、このギャップ絶縁膜506はメモリMOS型トランジスタの下層電位障壁膜504aや選択MOS型トランジスタのゲート絶縁膜502とは別層で形成されている。選択MOS型トランジスタのゲート絶縁膜502およびメモリMOS型トランジスタのp型ウエル領域501に対する下層電位障壁膜504aは、例えばp型ウエル領域501を酸化性雰囲気

中で熱酸化して形成したSi酸化膜であり、膜厚はそれぞれ3nmおよび7nmである。

【0129】

電荷保持膜504bであるSi酸化膜は、実施の形態1のSi酸化膜104bと同様に形成することができるが、本実施の形態では、膜中酸素濃度をパラメータとして、0%（Si酸化膜）～30%の間で変化させて検討した。Si酸化膜は膜中の酸素濃度により誘電率が変化するため、全ての試料は物理膜厚を調整することで、Si酸化膜に換算した膜厚で統一した。本実施の形態におけるSi酸化膜の膜厚許容範囲は、上限が消去速度、下限は書込み速度で決定される。消去速度の面からは15nm以下、書込み速度の面からは5nm以上、より好ましくは13nm以下、7nm以上である。

【0130】

メモリゲート電極505に対する上層電位障壁膜504cは、Si酸化膜であり、例えばジクロルシランと亜酸化窒素を原料ガスとするLP-CVD法で6nm程度のSi酸化膜を堆積した後、900℃の水蒸気雰囲気中で10分間の熱処理を行うことにより形成する。メモリゲート電極505は、LP-CVD法でn型多結晶Si膜を形成した後、異方性ドライエッチングによりパターン段差の側壁部にだけn型多結晶Si膜を残存させることにより形成する。

【0131】

本実施の形態ではメモリゲート電極505をサイドウォール形状としたが、これは電荷保持膜504bの電子の注入領域とホットホール注入領域の距離を短くして、消去効率を向上させるためである。従って、図1に示した構造のメモリセル等を用いても、ホットホール消去は可能である。

【0132】

図6に、図5に示したメモリセルの動作と電圧の掛け方の一例を示す。ここでは、電荷保持膜504bへの電荷注入を書込み（program）と定義する。書込み方式は、ソースサイド・インジェクションを用いたホットエレクトロン書込みである。例えば、ソース領域507Bに印加する電圧（ V_s ）は5V、ドレイン領域507Aに印加する電圧（ V_d ）は0V、メモリMOS型トランジスタのゲー

ト電極 505 に印加する電圧 (V_{mg}) は 10 V、選択 MOS 型トランジスタのゲート電極 103 へ印加する電圧 (V_{sg}) は、そのトランジスタのしきい値 (V_t) と概ね同じとする。ホットエレクトロンの発生領域は、2つのトランジスタのゲート電極 503、505 が絶縁された領域下のチャネル部である。書込みはトランジスタのしきい値が 5 V になるように設定した。

【0133】

消去は、バンド間トンネリングを用いたホットホール注入消去である。メモリ MOS 型トランジスタのゲート電極 505 に印加する電圧 (V_{mg}) は -6 V、ドレイン領域 507A に印加する電圧 (V_d) は 5 ~ 7 V、その他の電圧は 0 V として、トランジスタのしきい値が -1 V になるまで消去を行った。なお、図 6 に示した電圧条件および書込み／消去のしきい値の絶対値は一例であり、この数値をもって本発明が限定されるわけではない。

【0134】

作製した試料の書込み／消去特性は、電荷保持膜 504b の酸素濃度が大きい試料ほど書込み時間は長く、消去時間は短くなったが、いずれの場合も所定の時間内で書込み／消去は終了した。また、酸素濃度が 30 % を越えると所定の時間内に書込みが出来なかった。従って、書込み速度の観点からは、Si 酸窒化膜の酸素濃度は 30 % 以下の範囲で使用する事が望ましい。また、電荷保持特性の観点から酸素濃度は 5 % 以上とすることが望ましい。

【0135】

また、書込み／消去の 1000 回繰り返しによる Gm 劣化率を評価した結果、Si 酸窒化膜特有の Gm 劣化率の増加は観測されず Si 窒化膜と同等の値を示した。

【0136】

一方、電荷保持特性においては、Si 窒化膜に比べ Si 酸窒化膜の方が良好な特性を示した。また、Si 酸窒化膜で比較した場合、酸素濃度が大きい試料ほど良好な電荷保持特性が得られた。電荷保持特性の評価は、書込み直後と高温放置後のしきい値を比較する方法で評価した。具体的にはメモリ MOS 型トランジスタのゲート電極に 1.5 V の電圧を印加し、145℃で 10 万秒放置した後のし

きい値の差で比較した。なお、電荷保持特性の電圧条件、放置温度、放置時間の絶対値は一例であり、この数値をもって本発明が限定されるわけではない。

【0 1 3 7】

以上詳細に説明したように、前記実施の形態 1 ～ 3 によれば、電荷保持絶縁膜を用いた分散記憶型不揮発性メモリの電荷保持特性の向上と、書込み／消去の繰り返し動作による相互コンダクタンスの劣化の改善を両立できる。

【0 1 3 8】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0 1 3 9】

また、本発明の不揮発性メモリは、マイクロコンピュータに用いるなど、種々の装置に搭載可能である。

【0 1 4 0】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0 1 4 1】

不揮発性半導体記憶装置の性能の向上を図ることができる。

【0 1 4 2】

特に、電荷保持特性の向上を図ることができる。また、電流駆動能力の劣化を防止することができる。また、動作速度の向上を図ることができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 である不揮発性メモリの要部断面図である。

【図 2】

本発明の実施の形態 1 の不揮発性メモリの電圧印加条件を示す図表である。

【図 3】

本発明の実施の形態 1 の効果を示すためのグラフである。

【図 4】

本発明の実施の形態 2 である不揮発性メモリの容量絶縁膜部の要部断面図である。

【図 5】

本発明の実施の形態 3 である不揮発性メモリの要部断面図である。

【図 6】

本発明の実施の形態 3 の不揮発性メモリの電圧印加条件を示す図表である。

【図 7】

本発明の不揮発性メモリと対比するための不揮発性メモリの要部断面図である。

【図 8】

本発明の不揮発性メモリと対比するための不揮発性メモリの要部断面図である。

【図 9】

本発明者らが事前に検討した不揮発性メモリの要部断面図である。

【図 1 0】

電荷保持膜中の横方向の電子分布を模式的に示すグラフである。

【図 1 1】

実施の形態 1 ～ 3 に示した不揮発性メモリの容量絶縁膜の構成例を示す図表である。

【図 1 2】

正孔発生モデルを示すバンド構造図である。

【図 1 3】

本発明の実施の形態 2 の不揮発性メモリの容量絶縁膜部の状態を示すバンド構造図である。

【図 1 4】

本発明の実施の形態 2 の不揮発性メモリの容量絶縁膜部の状態を示すバンド構造図である。

【図 1 5】

本発明の実施の形態 2 の不揮発性メモリの容量絶縁膜部の状態を示すバンド構造図である。

【符号の説明】

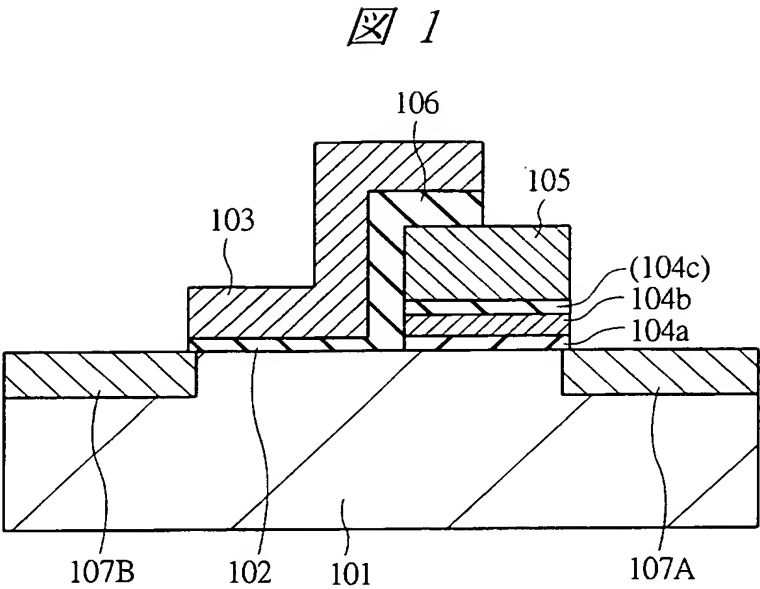
- 1 0 1 p 型ウエル領域 (S i 基板)
- 1 0 2 ゲート絶縁膜
- 1 0 3 ゲート電極 (選択ゲート電極)
- 1 0 4 a 下層電位障壁膜 (S i 酸化膜)
- 1 0 4 b S i 酸窒化膜 (電荷保持膜)
- 1 0 4 c 上層電位障壁膜 (S i 酸化膜)
- 1 0 5 ゲート電極 (メモリゲート電極)
- 1 0 6 ギャップ絶縁膜
- 1 0 7 A ドレイン領域
- 1 0 7 B ソース領域
- 2 0 4 a S i 酸化膜 (下層電位障壁膜)
- 2 0 4 b S i 窒化膜
- 2 0 4 c S i 酸窒化膜
- 2 0 5 メモリゲート電極
- 3 0 4 a S i 酸化膜
- 3 0 4 b S i 酸窒化膜
- 3 0 4 c S i 窒化膜
- 3 0 5 メモリゲート電極
- 4 0 4 a S i 酸化膜
- 4 0 4 b S i 窒化膜
- 4 0 4 c S i 酸窒化膜
- 4 0 4 d S i 窒化膜
- 4 0 5 メモリゲート電極
- 5 0 1 p 型ウエル領域 (S i 基板)
- 5 0 2 ゲート絶縁膜
- 5 0 3 ゲート電極 (選択ゲート電極)

- 5 0 4 絶縁膜
 - 5 0 4 a 下層電位障壁膜
 - 5 0 4 b 電荷保持膜
 - 5 0 4 c 上層電位障壁膜
- 5 0 5 ゲート電極（メモリゲート電極）
- 5 0 6 ギャップ絶縁膜
- 5 0 7 A ドレイン領域
- 5 0 7 B ソース領域
- 6 0 1 S i 基板（p 型ウエル領域）
- 6 0 2 ゲート絶縁膜
- 6 0 3 ゲート電極（選択ゲート電極）
- 6 0 4 容量絶縁膜
 - 6 0 4 a S i 酸化膜（第 1 層膜）
 - 6 0 4 b S i 窒化膜（第 2 層膜）
 - 6 0 4 c S i 酸化膜（第 3 層膜）
- 6 0 5 ゲート電極（メモリゲート電極）
- 6 0 7 A 拡散層（ドレイン領域）
- 6 0 7 B 拡散層（ソース領域）
- 7 0 1 S i 基板（p 型ウエル領域）
- 7 0 2 ゲート絶縁膜
- 7 0 3 ゲート電極（選択ゲート電極）
- 7 0 4 容量絶縁膜
 - 7 0 4 a 第 1 層膜
 - 7 0 4 b S i 窒化膜（第 2 層膜）
 - 7 0 4 c 第 3 層膜
- 7 0 5 ゲート電極
- 7 0 6 ギャップ絶縁膜
- 7 0 7 A 拡散層（ドレイン領域）
- 7 0 7 B 拡散層（ソース領域）

7 0 9 絶縁膜
8 0 1 S i 基板 (p 型ウエル領域)
8 0 2 ゲート絶縁膜
8 0 3 選択ゲート電極
8 0 4 容量絶縁膜
8 0 5 ゲート電極 (メモリゲート電極)
8 0 6 ギャップ絶縁膜
8 0 7 A 拡散層 (ドレイン領域)
8 0 7 B 拡散層 (ソース領域)
G m 電流駆動能力

【書類名】 図面

【図 1】

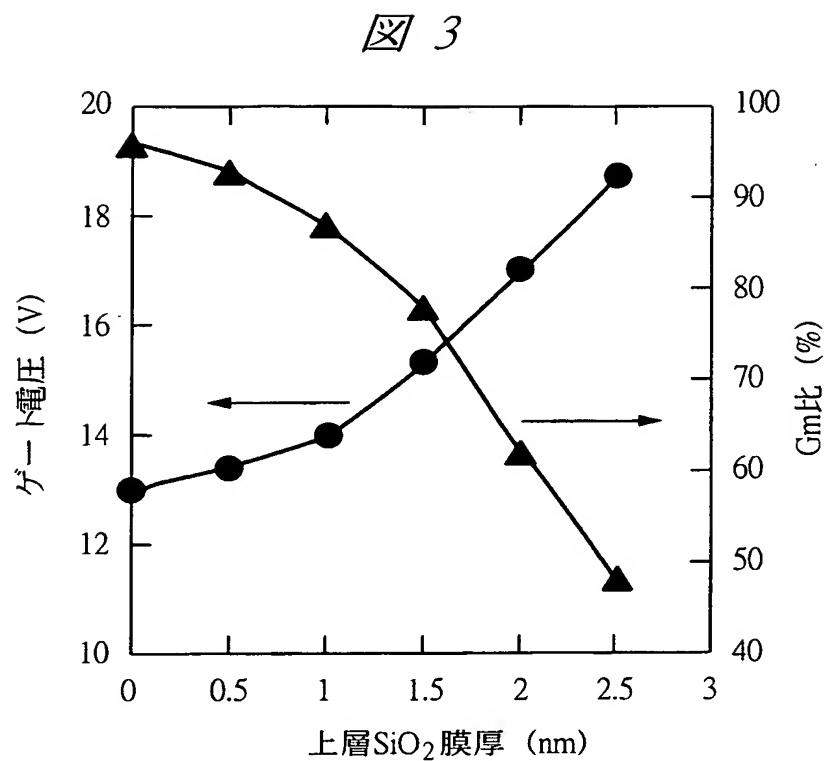


【図 2】

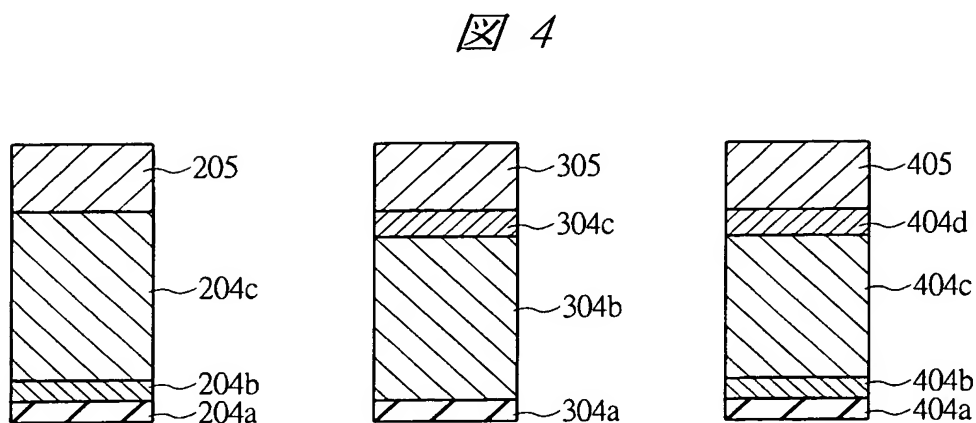
図 2

	Vsg	Vmg	Vs	Vd	Vwell	手法
書込(注入)	~Vt	10V	5V	0V	0V	ソースサイド注入
消去(放出)	0V	可変	0V	0V	0V	メモリゲートへのトンネル
読出	1.8V	0V	0V	1.8V	0V	書込時ソース・ドレインと逆方向
	1.8V	0V	1.8V	0V	0V	書込時ソース・ドレインと同一方向

【図 3】

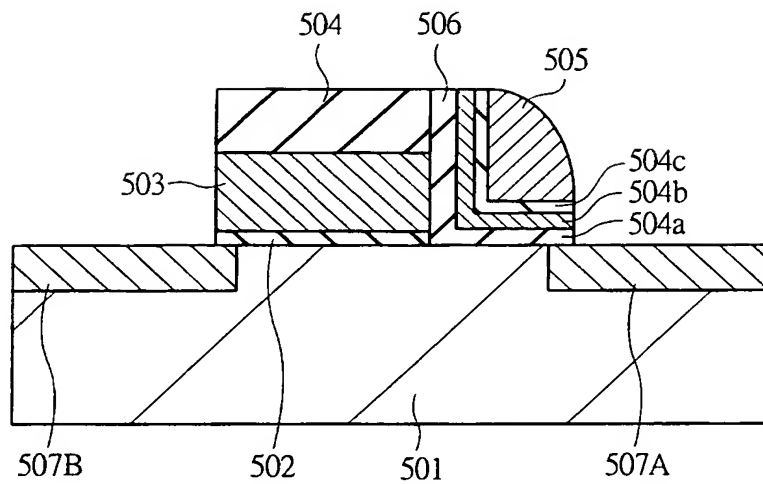


【図 4】



【図 5】

図 5



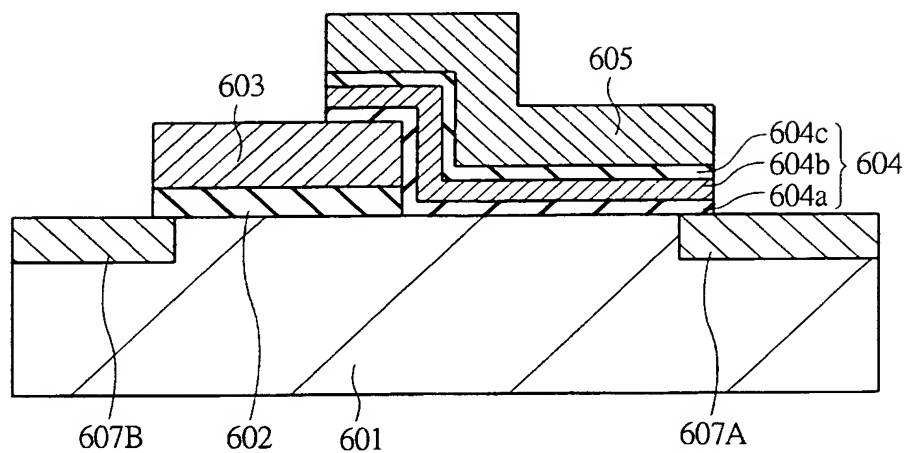
【図 6】

図 6

	Vsg	Vmg	Vs	Vd	Vwell	手法
書込(注入)	$\sim V_t$	10V	5V	0V	0V	ソースサイド注入
消去(注入)	0V	-6V	0V	5-7V	0V	ホットホール注入
読出	1.8V	0V	0V	1.8V	0V	書込時ソース・ドレインと逆方向
	1.8V	0V	1.8V	0V	0V	書込時ソース・ドレインと同一方向

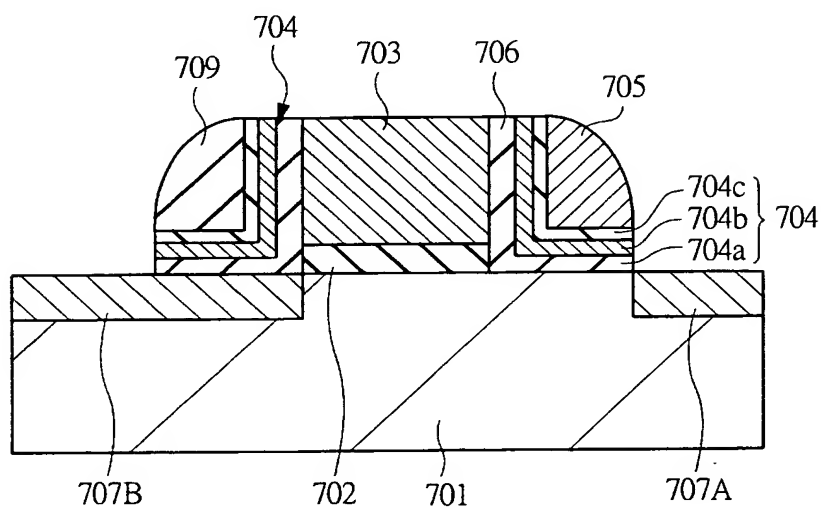
【図 7】

図 7

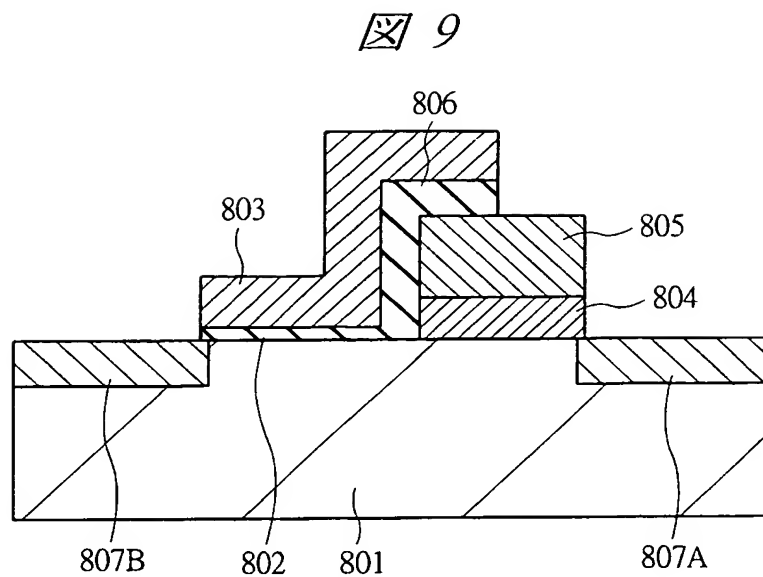


【図 8】

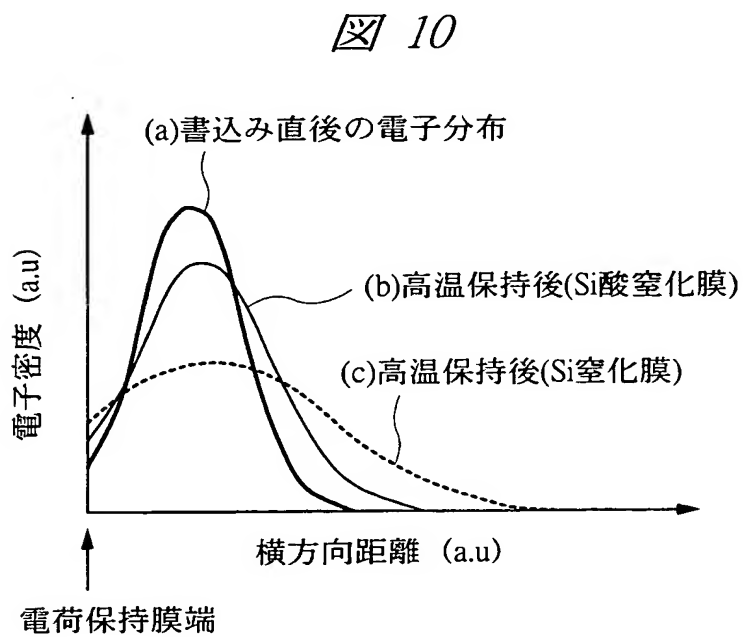
図 8



【図 9】



【図 10】



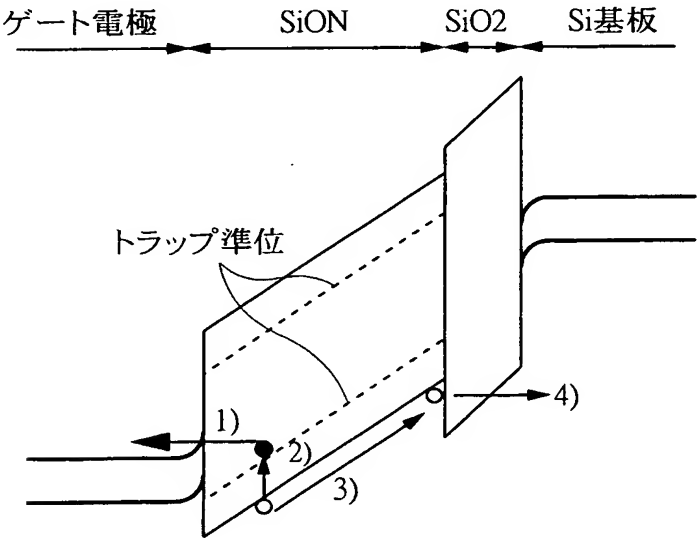
【図 1 1】

図 11

	積層膜構造(左がSi基板側)		主たる 電荷保持膜	電位障壁膜	SiONの酸素濃度
1	SiO2/SiON		SiON	なし	
2	SiO2/SiON/SiO2		SiON	SiO2	
3	SiO2/SiON/SiN		SiON	なし	
4	SiO2/SiN/SiON		SiON	なし	
5	SiO2/SiON(1)/SiON(2)	(a)	SiON(1)	なし	SiON(1)>SiON(2)
		(b)	SiON(2)	なし	
6	SiO2/SiN(1)/SiON/SiN(2)		SiON	なし	
7	SiO2/SiON(1)/SiN/SiON(2)	(a)	SiON(1)	なし	SiON(1)>SiON(2)
		(b)	SiON(2)	なし	

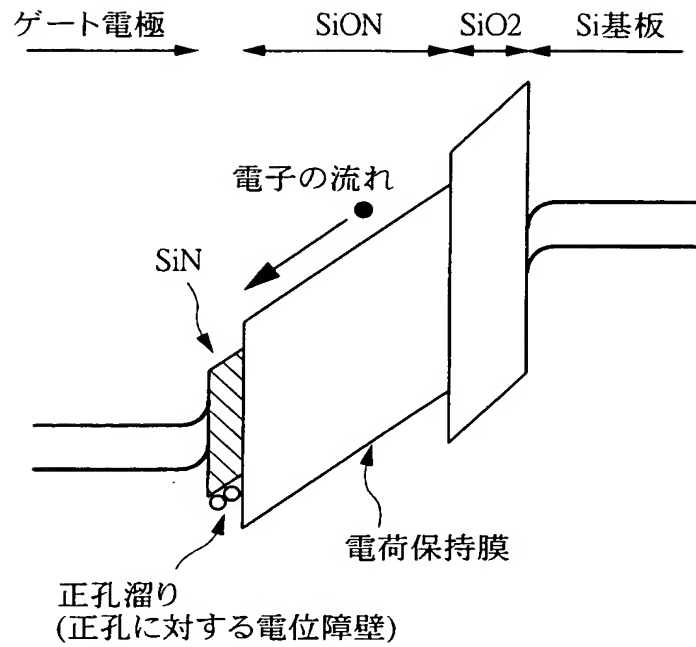
【図 1 2】

図 12

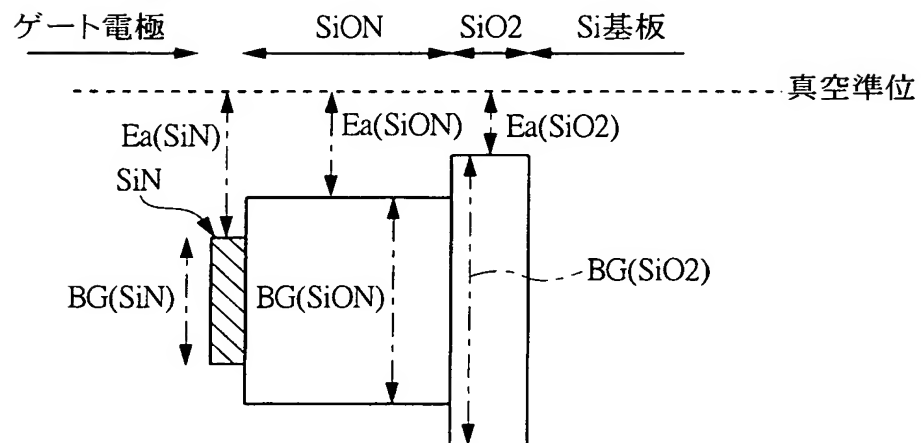


【図 13】

図 13

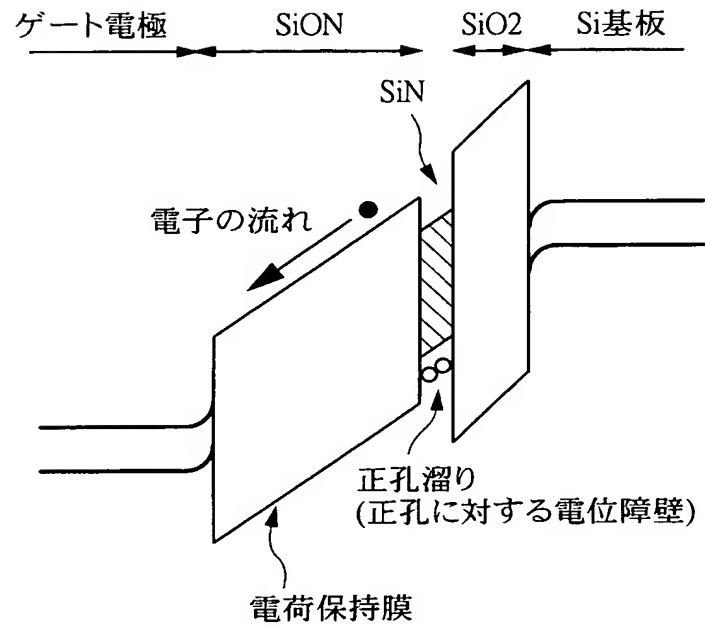


消去電圧印加



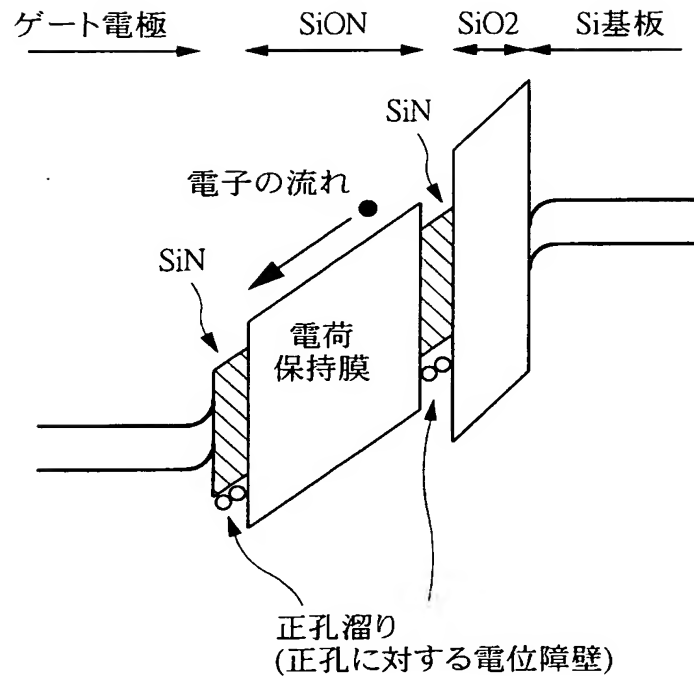
【図 14】

図 14



【図 15】

図 15



【書類名】 要約書

【要約】

【課題】 不揮発性半導体記憶装置の特性を向上させる。

【解決手段】 ゲート絶縁膜 1 0 2 および選択ゲート電極 1 0 3 を有する選択MOS型トランジスタと、下層電位障壁膜 1 0 4 a、電荷保持膜 1 0 4 b および上層電位障壁膜 1 0 4 c よりなる容量絶縁膜と、メモリゲート電極 1 0 5 とを有するメモリMOS型トランジスタとで構成される不揮発性メモリにおいて、電荷保持膜 1 0 4 b にS i 酸窒化膜を用い、それによるGmの劣化を改善するため、上層電位障壁膜 1 0 4 c を省略もしくはその膜厚を 1 n m以下にして、消去ゲート電圧を下げる。また、電荷保持膜を、主たる電荷保持膜となるS i 酸窒化膜と、その上層または下層に位置するS i 窒化膜とで構成し、正孔だけに対する電位障壁を形成する。また、消去方法をホットホール消去とし、消去電圧を下げる。

【選択図】 図 1

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2003- 23690

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【提出物件の目録】

【包括委任状番号】 0308729

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け
提出の会社分割による特許権移転登録申請書 を援用
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 4 - 7 1 7 6 7 号 同日提出の出願人名
義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 2 3 6 9 0
受付番号	5 0 3 0 1 1 9 4 9 6 8
書類名	出願人名義変更届（一般承継）
担当官	田丸 三喜男 9 0 7 9
作成日	平成 1 5 年 9 月 3 日

< 認定情報・付加情報 >

【提出日】 平成15年 7月18日

特願 2 0 0 3 - 0 2 3 6 9 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 3 - 0 2 3 6 9 0

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ